

(11)

⑨ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平3-231537

⑤ Int. Cl.³

識別記号

庁内整理番号

⑬ 公開 平成3年(1991)10月15日

H 04 L 12/48
H 04 Q 1/247406-5K
7830-5K

H 04 L 11/20

Z

審査請求 未請求 請求項の数 1 (全9頁)

⑭ 発明の名称 セルスイッチ試験装置

⑯ 特 願 平2-26149

⑰ 出 願 平2(1990)2月7日

⑱ 発 明 者 正 畑 康 郎 神奈川県川崎市幸区小向東芝町1 株式会社東芝総合研究所内

⑲ 出 願 人 株 式 会 社 東 芝 神奈川県川崎市幸区堀川町72番地

⑳ 代 理 人 弁 理 士 三 好 秀 和 外1名

明 細 書

1. 発明の名称

セルスイッチ試験装置

2. 特許請求の範囲

試験セルを発生し、発生した試験セルを被試験セルスイッチへ出力する複数のセル出力部と、前記被試験セルスイッチを通過した試験セルを入力し、入力した試験セルのエラーを検出する複数のセル入力部とからなるセルスイッチ試験装置であって、

前記複数のセル出力部それぞれには、前記複数のセル入力部の中の一つへ向うことを表した方路情報が付加されたビットパターンをヘッダ部とし、ランダムビットパターンを情報部とする前記試験セルを発生する複数のセル発生手段と、これら複数のセル発生手段のうちの一つを、内部の確率分布に従って選択し、選択したセル発生手段に前記試験セルの発生を指示する選択手段とを備え、

前記複数のセル入力部それぞれには、入力した前記試験セルの個数を計数し、この試験セルの前

記ヘッダ部の誤り検出および誤りが検出された試験セルの個数を計数すると共に、ヘッダ部の誤りが検出されない試験セルの誤配送検出および誤配送が検出された試験セルの個数を計数し、ヘッダ部の誤りおよび誤配送が共に検出されない試験セルを出力するセル入力手段と、このセル入力手段から出力された試験セルを入力し、この試験セルの前記情報部のビットパターンと、この情報部を構成する前記ランダムビットパターンと同一パターンの予め前記ランダムビットパターンに対応して備えてある予測ビットパターンとを比較し、一致した場合、この予測ビットパターンと前回一致した予測ビットパターンとの間の予測ビットパターンの個数から、未配送試験セルの個数を計数すると共に、不一致となったビット数を計数する複数のセル受信手段とを備えたことを特徴とするセルスイッチ試験装置。

3. 発明の詳細な説明

[発明の目的]

(産業上の利用分野)

この発明は、セルと呼ばれる固定長の短パケットを用いて情報通信を行う A T M (Asynchronous Transfer Mode/非同期転送モード) 通信システムのセル通信路上でセルのスイッチングを行う、セルスイッチを評価試験するセルスイッチ試験装置に関する。

(従来の技術)

近年、通信に必要な情報転送能力を呼設定時に確保しておく S T M (Synchronous Transfer Mode/同期転送モード) に変わり、セルと呼ばれる固定長の短パケットを用いて情報を伝送する A T M (Asynchronous Transfer Mode/非同期転送モード) が注目されている。

この A T M は、通信端末が必要とする任意の情報伝送速度を通信端末に提供でき、通信端末が必要な時に通信網の情報転送能力を使用するため、通信効率が向上するといった利点がある。このため A T M は、音声、データ、動画等を一元化して扱うことのできる B - I S D N (広帯域サービス総合デジタル) 網を構成する基本技術として関心

置では、セルスイッチ内でのセルの転送状況あるいは廃棄状況などに追従できない。

(発明が解決しようとする課題)

このように、従来の試験装置では、セルスイッチ内での処理速度に追従できないため、セルスイッチの重要な性能指標であるセル廃棄率、セル誤配送率、セル情報部のビットエラー率、セルヘッダ部の誤り率などを同時に測定できなかった。これにより、セルスイッチの性能を正確に評価することができないという問題があった。

そこで、この発明は、従来の事情に鑑みてなされたものであり、その目的とするところは、セルスイッチ内でのセルの転送状況に追従し、セルスイッチのセル廃棄率、セル誤配送率、ビットエラー率、セルヘッダ部の誤り率などを同時に、かつ簡便に測定することにより、セルスイッチの性能を正確に評価することができるセルスイッチ試験装置を提供することにある。

[発明の構成]

(課題を解決するための手段)

が高まっている。

A T M 網には、複数の入力通信路から配送されるセルを、このセルの持つ方路情報に従って所望の出力通信路へ転送する、セルスイッチが用いられている。また、このセルスイッチは、セルスイッチ試験装置によって評価試験が行われている。

従来の試験装置には、P P G (プログラマブルパターンジェネレータ) と E D (エラー測定機) とが組み合わされて使用されていた。

しかしながら、A T M 網では、セルスイッチ内で同時に複数のセルが同一の出力通信路に向かう、ブロッキングが発生することがある。この場合、セルスイッチは、複数のセルのうちの一つを出力通信路に転送し、残ったセルはバッファに蓄積させる。この結果、セルが出力されるタイミングが変化してしまう。また、バッファに空きが無い場合、セルスイッチはセルを廃棄してしまう。このように、A T M 網のセルスイッチ内では、セルが複雑な経路で転送されている。このため、上述した P P G と E D との組み合わせによる試験装

上記目的を達成するために、この発明は、試験セルを発生し、発生した試験セルを被試験セルスイッチへ出力する複数のセル出力部と、前記被試験セルスイッチを通過した試験セルを入力し、入力した試験セルのエラーを検出する複数のセル入力部とからなるセルスイッチ試験装置であって、前記複数のセル出力部それぞれには、前記複数のセル入力部の中の一つへ向うことを表した方路情報が付加されたビットパターンをヘッダ部とし、ランダムビットパターンを情報部とする前記試験セルを発生する複数のセル発生手段と、これら複数のセル発生手段のうちの一つを、内部の確率分布に従って選択し、選択したセル発生手段に前記試験セルの発生を指示する選択手段とを備え、前記複数のセル入力部それぞれには、入力した前記試験セルの個数を計数し、この試験セルの前記ヘッダ部の誤り検出および誤りが検出された試験セルの個数を計数すると共に、ヘッダ部の誤りが検出されない試験セルの誤配送検出および誤配送が検出された試験セルの個数を計数し、ヘッダ部の

誤りおよび誤配送が共に検出されない試験セルを出力するセル入力手段と、このセル入力手段から出力された試験セルを入力し、この試験セルの前記情報部のビットパターンと、この情報部を構成する前記ランダムビットパターンと同一パターンの予め前記ランダムビットパターンに対応して備えてある予測ビットパターンとを比較し、一致した場合、この予測ビットパターンと前回一致した予測ビットパターンとの間の予測ビットパターンの個数から、未配送試験セルの個数を計数すると共に、不一致となったビット数を計数する、前記複数のセル出力部とそれぞれ対応する複数のセル受信手段とを備えて構成されている。

(作用)

上記構成により、この発明は、まず、試験セルを発生させるセル発生手段を、複数のセル発生手段の中から選択する。選択されたセル発生手段は、固定長のビットパターンを有する試験セルを発生する。この試験セルは、対向して設けられる複数のセル入力部の中の一つへ向うことを表した

たセル発生手段と対応するセル受信手段へ出力する。

セル受信手段には、対応するセル発生手段に与えられた擬似ランダムビットパターン発生手法、例えば、原始多項式および初期値と同じ原始多項式と初期値が与えられており、入力した試験セルの情報部のビットパターンと同じパターンとの予測ビットパターンが生成されている。セル受信手段は、入力した試験セルの情報部のビットパターンと予測ビットパターンとを比較する。情報部のビットパターンと予測ビットパターンとが一致した場合、セル受信手段は、今回一致した予測ビットパターンと前回一致した予測ビットパターンとの間の予測ビットパターンの個数から、自分宛の未配送試験セルの個数を計数する。さらに、セル受信手段は、情報部の不一致したビット数を計数するようにしている。

(実施例)

以下、図面を参照してこの発明の一実施例を説明する。

方路情報が付加されたビットパターンをヘッダ部とし、セル発生手段に与えられた任意の手法により発生される擬似ランダムビットパターン、例えば、原始多項式および初期値から発生されるM系列の擬似ランダムビットパターンを情報部としている。

発生された試験セルは、被試験セルスイッチへ出力され、ヘッダ部に付加された方路情報に基づいて被試験セルスイッチ内でスイッチングされる。スイッチングされた試験セルは、ヘッダ部に付加された方路情報に対応するセル入力部へ出力される。

試験セルを入力したセル入力部内のセル入力手段は、入力された試験セルの個数を計数し、ヘッダ部の誤り検出を行い、誤りが検出された試験セルの個数を計数する。また、ヘッダ部の誤りが検出されない試験セルの誤配送検出を行い、誤配送が検出された試験セルの個数を計数する。さらに、セル入力手段は、ヘッダ部の誤りおよび誤配送が検出されない試験セルを、この試験セルを発生し

第1図は、この発明のセルスイッチ試験装置に係わる一実施例のブロック図である。

同図において、この発明のセルスイッチ試験装置は、試験セルを被試験セルスイッチ1へ出力するセル発生機3と、被試験セルスイッチ1を通過した試験セルを入力し、被試験セルスイッチ1の性能を評価するセルエラー検出機5とから構成されている。セル発生機3は、i個のセル出力チャネル31、～31、からなっており、それぞれのセル出力チャネル31、～31、は、一つの選択手段33とj個のセル発生手段35、～35、とから構成されている。セルエラー検出機5は、j個のセル入力チャネル51、～51、からなっており、それぞれのセル入力チャネル51、～51、は、一つのセル入力手段53とi個のセル受信手段55、～55、とから構成されている。i個のセル出力チャネル31、～31、とi個のセル受信手段55、～55、およびj個のセル発生手段35、～35、とj個のセル入力チャネル51、～51、とは、それぞれ一対一対応している。

すなわち、一つのセル出力チャネル 31 内の一つのセル発生手段 35 は、このセル発生手段 35 と対応するセル入力チャネル 51 内の、セル出力チャネル 31 と対応する一つのセル受信手段 55 と対応している。

各セル出力チャネル 31 は、被試験セルスイッチ 1 の入力ポートの一つと接続され、各セル入力チャネル 51 は、被試験セルスイッチ 1 の出力ポートの一つと接続されている。

被試験セルスイッチ 1 は、この発明のセルスイッチ試験装置によって試験される、ATM (Asynchronous Transfer Mode/非同期転送モード) 通信システムで使用されるセルスイッチであり、入力された試験セルの持つ方路情報に従って所望の出力通信路へスイッチングするものである。

選択手段 33 は、j 個のセル発生手段 35 のうちの一つを任意の確率分布に従って選択し、選択したセル発生手段 35 にトリガをかけて試験セルを発生させるものである。

セル発生手段 35 は、選択手段 33 によって選

セル発生手段 35 において全て異なったパターンとなるように設定可能である。セル発生手段 35 は、このようなヘッダ部 7 と情報部 9 からなる試験セルを発生し、被試験セルスイッチ 1 へ出力するものである。

セル入力手段 53 は、被試験セルスイッチ 1 によってスイッチングされた試験セルを入力し、入力した試験セルの個数を計数するものである。また、セル入力手段 53 は、試験セルのヘッダ誤りを検出し、ヘッダ誤りが検出された試験セルの個数を計数するものである。さらに、セル入力手段 53 は、ヘッダ誤りが検出されない試験セルの誤配送を検出し、誤配送が検出された試験セルの個数を計数するものである。なお、誤配送というのは、他のセル入力チャネル 51 へ配送されるべき試験セルが、誤って配送されてきたことをいう。またさらに、セル入力手段 53 は、ヘッダ誤りおよび誤配送が共に検出されない試験セルを、この試験セルを発生したセル発生手段 35 と対応するセル受信手段 55 へ出力するものである。

択されることにより、試験セルを発生するものである。この試験セルは、第 2 図に示すように、ヘッダ部 7 と情報部 9 から構成される固定長のビットパターンである。ヘッダ部 7 は、少なくともこの試験セルを発生したセル発生手段 35 と対応するセル入力チャネル 51 を意味する方路情報が付加されたビットパターンである。一つのセル発生手段 35 から発生される試験セルのヘッダ部 7 は、すべて同一なビットパターンとなる。情報部 9 は、セル発生手段 35 に与えられた原始多項式および初期値から発生される M 系列の擬似ランダムビットパターン 11 を、一定のビット長で切り取ったものである。なお、原始多項式から発生される M 系列は、原始多項式の次数を n としたときに $2n-1$ の長さの周期をもつ擬似ランダムビットパターン 11 である。この原始多項式と初期値は、セル発生手段 35 内の全てのセル発生手段 35 それぞれに、全て異なるように与えられる。これにより、セル発生手段 35 で発生される擬似ランダムビットパターン 11 は、充分大きな確率でそれぞれの

セル受信手段 55 は、セル入力手段 53 から出力された試験セルを入力し、入力した試験セルの情報部 9 と予測ビットパターンとを比較するものである。なお、セル受信手段 55 には、対応するセル発生手段 35 に与えられた原始多項式および初期値と同一の原始多項式と初期値が与えられている。これにより、セル受信手段 55 には、対応するセル発生手段 35 に発生された擬似ランダムビットパターン 11 と同一パターンの予測ビットパターンが、予め生成されている。セル受信手段 55 は、この予測ビットパターンから情報部 9 と同一ビット長のビットパターンを切り取り、このビットパターンと情報部 9 のビットパターンとを比較するものである。また、セル受信手段 55 は、情報部 9 と予測ビットパターンとが一致した場合、この予測ビットパターンと前回一致した予測ビットパターンとの間の予測ビットパターンの個数から、配送されずに廃棄された自分宛の試験セルの個数を計数するものである。さらに、セル受信手段 55 は、情報部 9 の不一致したビット数をビッ

ト誤り個数として計数するものである。

このように、この発明は構成されており、次に、この発明の作用を説明する。

まず、セル出力チャネル31の作用を、第3図に示すフローチャートに基づいて説明する。

1つの試験セルが出力されるのに要する時間を1出力サイクルといい、各出力サイクルの開始時に、試験セルを出力させか否かが選択手段33によって決定される(ステップ101)。

このとき用いられるアルゴリズムは、次のようなものである。すなわち、選択手段33においてM系列による擬似乱数 α ($0 < \alpha < 1$)を発生させ、この擬似乱数 α と予め設定された値 ρ ($0 \leq \rho \leq 1$)とを比較する。この結果、 $\alpha < \rho$ ならば、このセル出力チャネル31から試験セルを出力させるというものである。なお、 ρ は、被試験セルスイッチ1の最大許容セル数に対する入力セル数の割合である。このアルゴリズムによれば、二項分布として周知の確率分布に従い、試験セルが出力される。あるいは、外部から与えられるトリガ

を発生させ、この擬似乱数 γ によって選択手段33に持たせた状態Aと状態Bの間の状態遷移を行い、この状態遷移によってセル発生手段35を選択するというものである。この状態遷移は、次のように行われる。

選択手段33が状態Aにある場合：

予め設定された値 π_A ($0 \leq \pi_A \leq 1$)と擬似乱数 γ とを比較し、 $\gamma < \pi_A$ ならば状態Bに遷移する。そうでなければ状態Aを維持する。

選択手段33が状態Bにある場合：

予め設定された値 π_B ($0 \leq \pi_B \leq 1$)と擬似乱数 γ とを比較し、 $\gamma < \pi_B$ ならば状態Aに遷移する。そうでなければ状態Bを維持する。

その後、以下のようにしてセル発生手段35を選択する。

選択手段33が状態Aにある場合：

前回選択したセル発生手段35と同じセル発生手段35を選択する。

選択手段33が状態Bにある場合：

M系列による擬似乱数 δ ($0 < \delta < 1$)を発生

信号によって、試験セルを出力するか否かを決定することも可能である。

試験セルを出力させると決定されると、選択手段33によって試験セルを出力させるセル発生手段35が選択される(ステップ103、105)。

このとき用いられるアルゴリズムは、次のようなものが考えられる。一つは、前アルゴリズムで使用されたものとは別のM系列による擬似乱数 β を発生させ、この擬似乱数 β の値によって各セル発生手段35を等確率的に選択するというものである。この場合、セル出力チャネル31から出力される試験セルの出力方路は均一トラフィックとして良く知られたパターンとなる。すなわち、被試験セルスイッチ1に入力された複数の試験セルは、被試験セルスイッチ1の全ての出力ポートに均一に振り分けられる。

また、次のアルゴリズムによれば、転送速度の違う多数の情報(多元速度呼)を集線機によって多重化するトラフィックを模擬することができる。すなわち、M系列による擬似乱数 γ ($0 < \gamma < 1$)

させ、この擬似乱数 γ によってセル発生手段35を等確率的に選択する。

このアルゴリズムによれば、選択手段33が状態Aにある場合、転送速度の速い情報(高速呼)からのセルが、セル入力チャネル51へ到着している状態を模擬している。ここで、状態Bから状態Aに遷移する確率 π_B が、高速呼のセルの到着が開始される確率を表している。また、状態Aから状態Bに遷移する確率 π_A が、セルの到着が終了する確率を表している。

一方、セル発生手段35を選択する方法として、選択するセル発生手段35を外部から指定する方法も可能である。

以上のようにして、セル発生手段35が選択されると、このセル発生手段35は選択手段33によってトリガが掛けられる(ステップ107)。トリガを掛けられたセル発生手段35からは、第2図に示すような、ヘッダ部7と情報部9からなる試験セルが発生され、被試験セルスイッチ1へ出力される(ステップ109)。

ここで、ヘッダ部7には、少なくとも、この試験セルを発生したセル発生手段35と対応するセル入力チャネル51を意味する方路情報が付加されている。これにより、ヘッダ部7のビットパターンは、セル発生手段35ごとに全て異なるビットパターンとなる。また、情報部9には、擬似ランダムビットパターン11の使用開始位置(図中a)から、情報部9のビット長に等しいビットパターンが、試験セルが発生されるごとに順次切り取られ、埋め込まれる。

このように、セル発生手段35から出力された試験セルは、被試験セルスイッチ1によってスイッチングされ、この試験セルを発生したセル発生手段35と対応するセル入力チャネル51へ出力される。

次に、セル入力チャネル51の作用を、第4図に示すフローチャートに基づいて説明する。

被試験セルスイッチ1から出力された試験セルは、セル入力手段53に入力される。

セル入力手段53では、まず、入力された試験

セル受信手段55では、被試験セルスイッチ1内でのバッファ溢れ、あるいはヘッダ誤りや誤配送が原因で廃棄されたセル数、および情報部9のビット誤り個数が計数される(ステップ219)。

廃棄されたセル数の計数は、次のように行われる。

セル受信手段55には、対応するセル発生手段35に発生された擬似ランダムビットパターン11と同一パターンの子測ビットパターンが、予め生成されている。これにより、試験セルが廃棄されない場合には、セル受信手段55は、自分が次に受け取る試験セルの情報部9のビットパターンを完全に子測可能である。そこで、子測ビットパターンから、試験セルの情報部9と同一ビット長のビットパターンをいくつか切り出しておく。切り出された子測ビットパターンのどれと、受け取った試験セルの情報部9が一致したかにより、前回一致した子測ビットパターンと今回一致した子測ビットパターンとの間の子測ビットパターンの個数がわかる。この個数が、廃棄された試験セル

セルの個数が入力セル数として計数される(ステップ201)。

次に、この試験セルのヘッダ部7内にある、特定位置のビットパターンを誤り検出コードとして、ヘッダ部7の誤り検出が行われる。誤りが検出された場合、この試験セルの個数がヘッダ誤りセル数として計数され、その後廃棄される(ステップ205~209)。

ヘッダ部7の誤りが検出されない場合、この試験セルは誤配送検出が行われる。それは、ヘッダ部7に付加されたセル入力チャネル51を意味するビットパターンと、この試験セルが入力したセル入力チャネル51が持っているビットパターンとを比較することによって行われる。さらに、誤配送が検出された場合、この試験セルの個数が誤配送セル数として計数され、その後廃棄される(ステップ211~217)。

ヘッダ部7の誤りおよび誤配送が検出されない試験セルは、この試験セルを発生したセル発生手段35と対応するセル受信手段55へ出力される。

数となり、未受信セル数として計数される。

具体的には、受け取れるはずの1番目の試験セルの情報部9、2番目の試験セルの情報部9、...、k番目の試験セルの情報部9の各ビットパターンに対応する子測ビットパターン1、子測ビットパターン2、...、子測ビットパターンkが、このセル受信手段55と対応するセル発生手段35に発生された擬似ランダムビットパターン11と同一パターンの子測ビットパターンから切り出されている。

セル入力手段53から試験セルが入力されると、子測ビットパターン1、子測ビットパターン2、...、子測ビットパターンkと、この受け取った試験セルの情報部9とが比較される。もし、子測ビットパターンm($1 \leq m \leq k$)と受け取った試験セルの情報部9とが一致したならば、この受け取った試験セルを自分宛であるとみなす。この場合、未受信セル数はm-1個と計数される。

計数が終了すると、子測ビットパターンの更新が行われる。新子測ビットパターン1は旧子測ビ

ットパターン $m+1$ 、新予測ビットパターン 2 は旧予測ビットパターン $m+2$ 、・・・、新予測ビットパターン $k-m$ は旧予測ビットパターン k となる。また、新予測ビットパターン $k-m+1$ から新予測ビットパターン k は M 系列から新たに切り出される。ただし、この予測ビットパターンの更新方法は、被試験セルスイッチ 1 内において、試験セルの順序が逆転しないと仮定した場合の更新方法である。

一方、予測ビットパターンと試験セルの情報部 9 の比較において、全てのビットが一致したときのみ一致したと判断すると、被試験セルスイッチ 1 内でのビットエラーが発生したときに対処できなくなる。そこで、この比較は、任意に定められたビット数の不一致点があっても一致したと判断している。この不一致点の個数が、試験セルの情報部 9 でのビット誤り個数として計数される。

最後に、セルエラー検出機 5 では、セル入力手段 53 およびセル受信手段 55 によって計数された各値から、被試験セルスイッチ 1 の性能指標が

て試験セルを受け取るセル受信手段 55 をセル入力手段 53 に選択させることも可能である。これによれば、セル発生手段 35 とセル受信手段 55 に与える、原始多項式および初期値の選択が容易になる。また、この識別子に対する誤り訂正符号を試験セルの特定位置に埋め込むようにすると、なお良い。しかしながら、この方法によると、情報部の誤り率測定が、埋め込んだ識別子ならびに誤り訂正符号の位置について正確に行えないことになる。

〔発明の効果〕

以上説明したように、この発明によるセルスイッチ試験装置であれば、セルスイッチの試験を行っている間、セルスイッチ内に滞留しているセルの情報部が全て異なるビットパターンとなるように制御することができる。このため、セルスイッチ内でのセルの転送状況に追従することができ、セルスイッチの性能指標となるセル廃棄率、セル誤配送率、セル情報部のビットエラー率、セルヘッダ部の誤り率を同時に、かつ簡便に測定するこ

算出される。ここで、全セル入力チャネル 51 での入力セル数の総和を A 個、ヘッダ誤りセル数の総和を B 個、誤配送セル数の総和を C 個、未受信セル数の総和を D 個、ビット誤り個数の総和を E ビット、試験セルの情報部 9 の長さを L ビットとする。これより、被試験セルスイッチ 1 のヘッダ部 7 の誤り率、セル誤配送率、情報部 9 のビットエラー率、セル廃棄率は以下の式により算出される。

$$\text{ヘッダ部 7 の誤り率} = B / A$$

$$\text{セル誤配送率} = C / A$$

$$\text{セル廃棄率} = D / A$$

$$\text{情報部 9 のビットエラー率} = E / (A \times L)$$

このように、このセルスイッチ試験装置によって被試験セルスイッチ 1 のあらゆる性能を同時に評価することができる。

なお、この発明による一実施例において、試験セルのヘッダ部 7 あるいは情報部 9 の特定位置に、この試験セルを出力したセル出力チャネル 31 に付加された識別子を埋め込み、この識別子によつ

とが可能となる。

4. 図面の簡単な説明

第 1 図はこの発明のセルスイッチ試験装置に係わる一実施例を示すブロック図、第 2 図は発生される試験セルの概念図、第 3 図はセル出力チャネルの作用を説明するためのフローチャート、第 4 図はセル入力チャネルの作用を説明するためのフローチャートである。

3…セル発生機

5…セルエラー検出機

31_i…31_i…セル出力チャネル

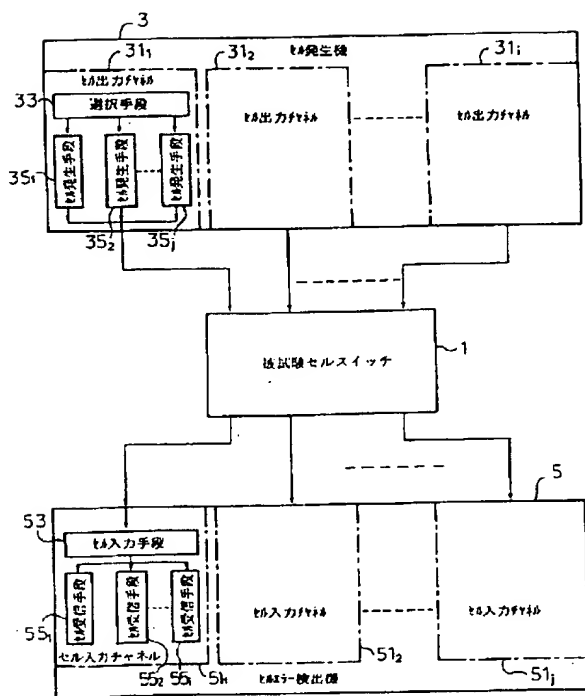
33…選択手段

35_i…35_j…セル発生手段

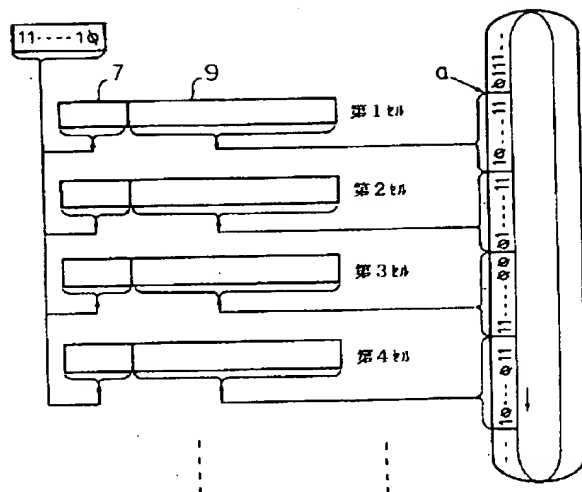
51_i…51_j…セル入力チャネル

53…セル入力手段

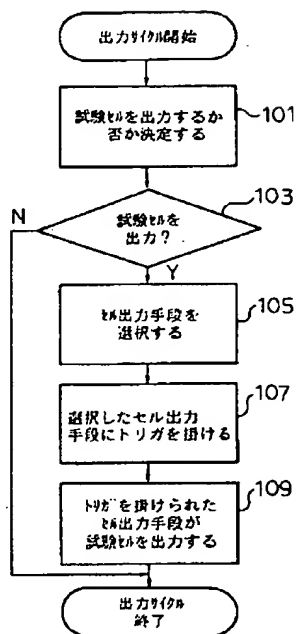
55_i…55_i…セル受信手段



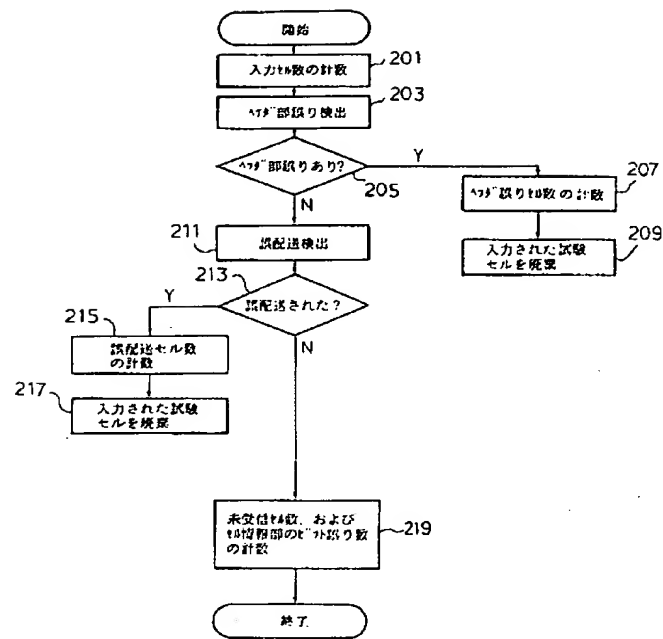
第 1 図



第 2 図



第 3 図



第 4 図